

⑫ 公開特許公報(A) 平1-198214

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月9日

H 02 H 3/24
7/12
H 02 M 3/155A-8324-5G
G-6846-5G
C-7829-5H

審査請求 有 請求項の数 1 (全5頁)

⑭ 発明の名称 低電圧検出回路

⑯ 特 願 昭63-21026

⑰ 出 願 昭63(1988)1月29日

⑱ 発 明 者 小 沢 賢 一 神奈川県秦野市大秦町3-15
 ⑱ 発 明 者 荒 井 直 樹 神奈川県平塚市袖ヶ浜6-1-104
 ⑱ 発 明 者 畑 良 忠 神奈川県伊勢原市沼目4-16-13
 ⑲ 出 願 人 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号
 ⑳ 代 理 人 弁理士 平山 一幸 外1名

明 細 書

(従来技術及び問題点)

1. 発明の名称

低電圧検出回路

2. 特許請求の範囲

ベースに電圧降下を検出すべき信号が入力されると共にエミッタ、コレクタ間に所定電圧が印加されるトランジスタと、定電圧が供給される出力端子とアースの間に接続され且つ該トランジスタのコレクタがツェナーダイオードを介してゲートに接続されるスイッチング素子とを含んでおり、上記トランジスタに印加される所定電圧が、定電圧電源から遅延回路を介して供給されるようにしたことを特徴とする、低電圧検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、スイッチングレギュレータ等からの出力電圧が、低下又はゼロになったとき、これを検出して、該スイッチングレギュレータ等の出力を遮断するようにした、低電圧検出回路に関するものである。

従来、例えばスイッチングレギュレータ等においては、入力される直流電圧をパルス制御することにより所望の出力電圧を得るようにしているが、この出力電圧が例えば短絡、破損等の理由により低下したりゼロになった場合、これを低電圧検出回路により検出して、上記パルス制御を行なう制御回路への出力を遮断して、該制御回路の発振を停止させることによって該スイッチングレギュレータ等の出力を遮断するようにして、該スイッチングレギュレータ等を保護している。

このような低電圧検出回路としては、例えば第3図に示す構成のものが知られている。即ち、第3図において、低電圧検出回路1は、図示しないスイッチングレギュレータ等からの出力電圧が入力端子2を介してそのベースに入力されるトランジスタ3と、+側が該トランジスタ3のエミッタに、-側が該トランジスタ3のコレクタに接続され且つ定電圧 V_c が抵抗4を介して+側に印加される電解コンデンサ5と、この電解コンデンサ5

の+側が所定のツェナー電圧のツェナーダイオード6及び抵抗を介してゲートに接続されていて且つ上記定電圧 V_c が抵抗を介してアノードに入力されるSCR7と、このSCR7のアノード側に接続された出力端子8とから構成されている。

このように構成された低電圧検出回路1によれば、上記入力端子2に入力されるスイッチングレギュレータ等の出力電圧が所定電圧以上である場合には、トランジスタ3のベースにはHレベルの信号が入力されることになり、従ってトランジスタ3のエミッタ、コレクタ間はオンになっているので、電解コンデンサ5の+側に入力される定電圧 V_c は該トランジスタ3を介してアースに流れることから、SCR7のゲートには信号が入力されず、従ってこのSCR7は非導通状態であるので、該SCR7のアノード側に入力される定電圧 V_c は出力端子8から図示しないスイッチングレギュレータ等のパルス制御を行なう制御回路に入力され、この入力によって該制御回路が作動を続けることになり、スイッチングレギュレータ等が

連続的に出力する。

ここで、該スイッチングレギュレータ等の出力電圧が負荷の短絡、破損等によって低下したり又はゼロになったときには、入力端子2に印加される上記出力電圧が低下するので、該出力電圧が所定電圧以下になると、トランジスタ3のベースにはLレベルの信号が入力されることとなり、従ってトランジスタ3のエミッタ、コレクタ間がオフとなり、これによって電解コンデンサ5は定電圧 V_c からの電流により充電されることとなり、該電解コンデンサ5の充電電圧がツェナーダイオード6の所定のツェナー電圧以上になったときに、電解コンデンサ5から該ツェナーダイオード6及び抵抗を介してSCR7のゲートに電流が流れ、これにより該SCR7のアノード、カソード間が導通状態となるので、該SCR7のアノード側に入力される定電圧 V_c は該SCR7を介してアースに接続されることになり、かくして図示しない前記制御回路へは信号が出力されなくなるので、該制御回路の作動が停止され、スイッチングレギ

ュレータ等の出力が遮断されることになる。

しかしながら、このように構成された低電圧検出回路1においては、電源投入時に、スイッチングレギュレータ等の出力電圧が立ち上がる前に低電圧検出回路1が作動することによってこのスイッチングレギュレータ等の出力を遮断しないように、抵抗4及び電解コンデンサ5による時定数で決まる遅延時間を持たせている。

このため、上記出力電圧が異常時に低下したりゼロになった場合にも、上述の遅延時間の経過後にSCR7が導通することにより制御回路への信号入力を中止し、制御回路を停止させてスイッチングレギュレータ等の出力を遮断することから、例えば負荷の短絡のような急激な事故が発生した場合にも所定の遅延時間の経過後にしかスイッチングレギュレータ等の出力が遮断されないことになる。

さらに、一般に短絡事故の場合には、一時に短絡状態になるのではなく、短絡と開放を何回か繰り返した後に短絡状態に落ち着くのが通例である

ため、このような急激な出力電圧の変動に対して、上述のように構成された低電圧検出回路1では遅延時間の存在によってスイッチングレギュレータ等の装置が破壊してしまうこともあり得る。

(発明の目的)

本発明は、以上の点に鑑み、電源投入時には電圧低下を検出すべき出力の出力電圧が立ち上がる前に動作することなく、しかも該出力電圧の低下を検出した場合には直ちに上記出力を遮断し得るようにした、低電圧検出回路を提供することを目的としている。

(問題点を解決するための手段及び作用)

上記目的は、本発明によれば、ベースに電圧低下を検出すべき信号が入力されると共にエミッタ、コレクタ間に所定電圧が印加されるトランジスタと、定電圧が供給される出力端子とアースの間に接続され且つこのトランジスタのコレクタがツェナーダイオードを介してゲートに接続されるスイッチング素子とを含んでおり、上記トランジスタに印加される所定電圧が、定電圧電源から遅延回

路を介して供給されるようにした低電圧検出回路によって達成される。

この発明によれば、先ず電源投入時には定電圧電源から遅延回路を介して所定の遅延時間の経過後にトランジスタのエミッタ、コレクタ間に所定電圧が印加されるので、検出すべき信号が所定の電圧に立ち上がる前には本低電圧検出回路はトランジスタのエミッタ、コレクタ間に所定電圧が印加されていないため、該トランジスタがオフになってもスイッチング素子のゲートには信号が入力されず、従って該スイッチング素子は非導通状態であり、出力端子から定電圧の出力は遮断されないが、その後トランジスタに所定電圧が印加されるようになると、検出すべき信号が基準電圧以上である場合には、トランジスタはオンであるから、前記所定電圧はトランジスタを通過してアースに落ちるため、スイッチング素子のゲートには信号が入力されず、従ってスイッチング素子は非導通状態であり、出力端子からは定電圧が出力されたままであり、またこの状態から検出すべき信号が負

荷の短絡、破壊等により電圧降下して基準電圧以下になると、トランジスタのベースがHレベルとなり、これによってトランジスタがオフになるので、前記所定電圧はスイッチング素子のゲートに入力されることとなり、従って該スイッチング素子は導通状態になり、出力端子に印加されている定電圧はスイッチング素子を通過してアースに落ちるため、該出力端子からの出力が遅延時間なしに直ちに遮断されることになる。

かくして、本発明による低電圧検出回路は、電源投入時には電圧低下を検出すべき出力の出力電圧が立ち上がる前に動作することなく、しかも該出力電圧の低下を検出した場合には直ちに上記出力を遮断し得る。

(実施例)

以下、図面に示した実施例に基づいて本発明を説明する。

第1図は本発明による低電圧検出回路の一実施例を示しており、この低電圧検出回路10は、図示しないスイッチングレギュレータ等からの出力

電圧が入力端子11から抵抗を介してそのベースに入力され且つそのエミッタがツェナーダイオード12を介してアースに接続されているトランジスタ13と、定電圧 V_c が抵抗14を介して+側に印加される電解コンデンサ15と、この電解コンデンサ15の+側が所定のツェナー電圧のツェナーダイオード16を介してベースに接続され且つエミッタがアースに接続されている第二のトランジスタ17と、ベースに上記定電圧 V_c が抵抗18を介して入力され且つ上記第二のトランジスタ17のコレクタが抵抗19を介して接続されると共にエミッタに上記定電圧 V_c が入力される第三のトランジスタ20とを含んでおり、この第三のトランジスタ20のコレクタがコンデンサ21を介してアースに接続されていると共に抵抗22を介して前記第一のトランジスタ13のコレクタに接続されていて、さらに該トランジスタ13のコレクタがツェナーダイオード23及び抵抗を介してアノードに入力されるSCR24と、該SCR24のアノード側に接続され且つ前記第三のト

ランジスタ20のコレクタが抵抗を介して接続されている出力端子25とから構成されている。

本発明による低電圧検出回路10は以上のように構成されており、先ず電源が投入されると、定電圧 V_c は第2図(A)に示すように、瞬時に立ち上がるので、定電圧 V_c からの電流により電解コンデンサ15が充電され、この電解コンデンサ15の充電電圧がツェナーダイオード16のツェナー電圧以上になると、電解コンデンサ15から該ツェナーダイオード16を介してトランジスタ17のベースに電流が流れ、これによって該トランジスタ17のベースがHレベルになって該トランジスタ17がオンとなり、これと共にトランジスタ20もオンとなる。またツェナーダイオード12があるためトランジスタ13がオンになっても該トランジスタ13を通過してアースに電流が流れないため、コンデンサ21が瞬時に充電されることになる。

かくして、所定の遅延時間 t_1 の後に、抵抗22を介してトランジスタ13のコレクタには所定電

圧が印加される。

尚、上記所定の遅延時間 t_d は、例えば電圧降下を検出すべき信号を発生させるスイッチングレギュレータ等の信号の出力電圧の立ち上がり時間(第2図(A)参照)を考慮して、この出力電圧が立ち上がった後に、トランジスタ13のコレクタに所定電圧が印加されるようになっている。したがって、検出すべき信号が所定の電圧に立ち上がる前には本発明の低電圧検出回路10は、トランジスタ13のエミッタ、コレクタ間に所定電圧が印加されていないため、このトランジスタ13のベースがLレベルになることにより該トランジスタ13がオフになってもSCR24のゲートには信号が入力されないで、該SCR24は非導通状態であり、出力端子25からの所定電圧の出力は遮断されない。

トランジスタ13のコレクタに所定電圧が印加されている状態においては、検出すべき信号が基準電圧以上である場合には、入力端子11から抵抗を介してトランジスタ13のベースに入力され

る信号はHレベルであるから、トランジスタ13はオンであり、前記所定電圧はトランジスタ13を過ってアースに落ちるため、このトランジスタ13のコレクタにおける電圧が低いので、ツェナーダイオード23の作用によりSCR24のゲートには信号が入力されず、従ってSCR24は非導通状態であり、出力端子25からは所定電圧が出力されたままである。

ここで、検出すべき信号が負荷の短絡、破壊等により電圧降下を生じて基準電圧以下になると、入力端子11から抵抗を介してトランジスタ13のベースに入力される信号がLレベルとなり、これによりトランジスタ13がオフになるので、前記所定電圧はツェナーダイオード23を介してSCR24のゲートに入力されることとなり、従って該SCR24は導通状態になり、出力端子25に印加されている定電圧はSCR24を過ってアースに落ちるため、該出力端子25からの出力が遅延時間なしに直ちに遮断されることになる(第2図(C)参照)。

従って、本低電圧検出回路10の出力端子25が、例えばスイッチングレギュレータの入力電圧のパルス制御を行なうための制御回路を動作させるための信号として該制御回路に入力させるようにした場合には、このスイッチングレギュレータの出力電圧が負荷の短絡、破壊等の何等かの理由によって電圧降下を生じたとき、本低電圧検出回路10がこれを検出して直ちにその出力端子25からの出力を遮断するので、これによって上記制御回路の発振が停止せしめられ(第2図(D)参照)、そのパルス制御が中断されるので、該スイッチングレギュレータは出力電圧の降下が生ずると直ちにその出力が遮断されることとなり、該スイッチングレギュレータや負荷回路の破壊等が防止され得ることとなる。

(発明の効果)

以上述べたように、本発明によれば、ベースに電圧降下を検出すべき信号が入力されると共にエミッタ、コレクタ間に所定電圧が印加されるトランジスタと、定電圧が供給される出力端子とア

スの間に接続され且つ該トランジスタのコレクタがツェナーダイオードを介してゲートに接続されるスイッチング素子とを含んでおり、上記トランジスタに印加される所定電圧が、定電圧電源から遅延回路を介して供給されるように、低電圧検出回路を構成したから、先ず電源投入時には定電圧電源から遅延回路を介して所定の遅延時間の経過後にトランジスタのエミッタ、コレクタ間に所定電圧が印加されるので、検出すべき信号が所定の電圧に立ち上がる前には本低電圧検出回路はトランジスタのエミッタ、コレクタ間に所定電圧が印加されていないため、該トランジスタがオフになってもスイッチング素子のゲートには信号が入力されず、従って該スイッチング素子は非導通状態であり、出力端子から定電圧の出力は遮断されない。

しかし、その後トランジスタに所定電圧が印加されるようになると、検出すべき信号が基準電圧以上である場合には、トランジスタはオンであるから、前記所定電圧はトランジスタを過ってア

スに落ちるため、スイッチング素子のゲートには信号が入力されず、従ってスイッチング素子は非導通状態であり、出力端子からは定電圧が出力されたままであり、またこの状態から検出すべき信号が負荷の短路、破壊等により電圧降下して基準電圧以下になると、トランジスタのベースがしレベルとなり、これによりトランジスタがオフになるので、前記所定電圧はスイッチング素子のゲートに入力されることとなり、従って該スイッチング素子は導通状態になり、出力端子に印加されている定電圧はスイッチング素子を通してアースに落ちるため、該出力端子からの出力が遅延時間なしに直ちに遮断されることになる。

かくして、本発明によれば、電源投入時には電圧低下を検出すべき出力の出力電圧が立ち上がる前に動作することなく、しかもこの出力電圧の低下を検出した場合には直ちに上記出力を遮断し得ることにより、検出すべき信号を出力しているスイッチングレギュレータ等の破壊等が防止され得る、極めて優れた低電圧検出回路が提供され得る

ことになる。

4. 図面の簡単な説明

第1図は本発明による低電圧検出回路の一実施例を示す回路図、第2図(A)～(D)は第1図の低電圧検出回路の動作タイミングを示すタイムチャートである。

第3図は従来の低電圧検出回路の一例を示す回路図である。

10…低電圧検出回路; 11…入力端子;
12, 16, 23…ツェナーダイオード; 13,
17, 20…トランジスタ; 14, 18, 19,
22…抵抗; 15…電解コンデンサ; 21…コン
デンサ; 24…SCR; 25…出力端子。

特許出願人: スタンレー電気株式会社
代理人: 弁理士 平山一幸
同: 弁理士 海津保三

